

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-334459

(43)Date of publication of application : 02.12.1994

(51)Int.Cl. H03G 11/08
H03G 3/20
H03G 5/16

(21)Application number : 05-139493

(71)Applicant : YAMAHA CORP

(22)Date of filing : 18.05.1993

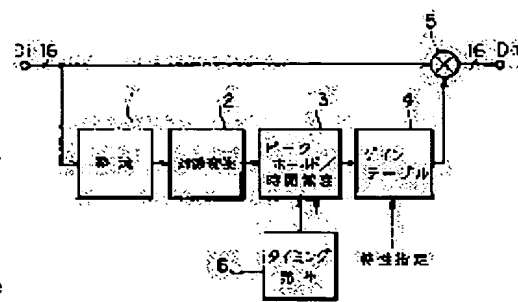
(72)Inventor : NIIMI KOJI

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PURPOSE: To obtain the digital signal processor coping with a signal of a wide dynamic range with simple circuit configuration without impairing the degree of freedom of the characteristic.

CONSTITUTION: The digital signal processing circuit is made up of a rectifier circuit 1, a logarithmic transformation circuit 2, a peak hold/time attenuation circuit 3, a gain table 4, a multiplier 5 and a timing generating circuit 6. The rectifier circuit 1 obtains an absolute value of input data. The logarithmic transformation circuit 2 transforms linear input data into a logarithmic data. The peak hold/time attenuation circuit 3 applies peak holding and timewise attenuation processing to inputted instantaneous logarithmic data to obtain a rough logarithmic envelope. The gain table 4 has a nonlinear gain characteristic and inputs logarithmic data as an address to provide an output of a gain in response to the input level. The multiplier 5 multiplies the gain by the input data to provide an output of output data processed by the nonlinear characteristic.



LEGAL STATUS

[Date of request for examination] 12.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3293240

[Date of registration] 05.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-334459

(43) 公開日 平成6年(1994)12月2日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G 11/08		9067-5 J		
3/20	A	7350-5 J		
5/16	A	9067-5 J		

審査請求 未請求 請求項の数 3 F D (全 12 頁)

(21) 出願番号 特願平5-139493

(22) 出願日 平成5年(1993)5月18日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 新美 幸二

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

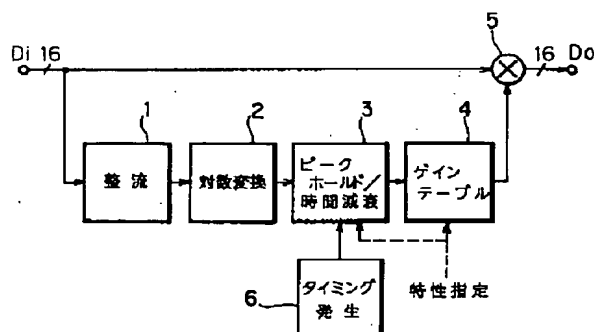
(74) 代理人 弁理士 伊丹 勝

(54) 【発明の名称】 デジタル信号処理装置

(57) 【要約】

【目的】 特性の自由度を損なうことなく、簡単な回路構成で広いダイナミックレンジの信号にも対処可能なデジタル信号処理装置を提供する。

【構成】 デジタル信号処理回路は、整流回路1、対数変換回路2、ピークホールド／時間減衰回路3、ゲインテーブル4、乗算器5及びタイミング発生回路6から構成されている。整流回路は、入力データの絶対値を求める。対数変換回路2は、リニアな入力データを対数データに変換する。ピークホールド／時間減衰回路3は、入力される瞬時対数データに対して、ピーク保持と時間的減衰処理を施すことにより、概略的な対数エンベロープを求める。ゲインテーブル4は、非線形な利得特性を持ち、対数データをアドレスとして入力し、入力レベルに応じた利得値を出力する。乗算器5はこの利得値と入力データとを乗算し、非線形特性により処理された出力データを出力する。



【特許請求の範囲】

【請求項1】 デジタル入力信号のレベル値を非線形の利得特性に基づいて圧縮又は伸長してデジタル出力信号を出力するデジタル信号処理装置において、前記利得特性に従って前記デジタル入力信号のレベル値に応じた利得値を出力する利得テーブルと、この利得テーブルから出力される利得値と前記入力デジタル信号とを乗算して前記デジタル出力信号を出力する乗算手段とを備え、前記利得テーブルは対数表現又は浮動小数点表現されたデジタル信号をアドレスとして入力し前記利得値をデータとして出力するものであることを特徴とするデジタル信号処理装置。

【請求項2】 デジタル入力信号を対数表現又は浮動小数点表現された対数データに変換する対数変換手段と、この対数変換手段から出力される対数データに対してピーク保持及び時間的な減衰処理を施すピーク保持／時間減衰手段と、このピーク保持／時間減衰手段から出力される対数データをアドレスとして入力し非線形の利得特性に従って前記デジタル入力信号のレベルに応じた利得値を出力する利得テーブルと、この利得テーブルから出力される利得値と前記入力デジタル信号とを乗算してデジタル出力信号を出力する乗算手段とを具備したことを特徴とするデジタル信号処理装置。

【請求項3】 前記利得テーブルは、前記利得特性を外周から書き替え可能としたRAMにより構成されていることを特徴とする請求項1又は2に記載のデジタル信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、音声信号や楽音信号等のレベル値を非線形の利得特性に基づいて圧縮又は伸長するデジタルコンプレッサ／リミッタ及び音響信号効果装置（イフェクタ）等のデジタル信号処理装置に関する。

【0002】

【従来の技術】従来より、放送設備の過変調を防止するために大振幅入力時にコンプレッサ（圧縮）処理を施したり、リミッタ処理するデジタルコンプレッサ／リミッタや、暗騒音下での音楽再生等において、小振幅信号をエキスパンダー（伸長）処理しつつ低レベル雑音を抑制するエキスパンダー／ノイズゲート等、入力信号レベルに応じた非線形の利得制御を行うデジタル信号処理装置が知られている。図16は、この種のデジタル信号処理装置の入出力特性の一例を示す図である。この図において、横軸は入力信号の対数レベル、縦軸は系を通過した後の信号の対数レベルであり、点線は圧縮伸長を全

く行わない場合の入出力関係直線である。また、図17は、同じく入力レベルに対する利得（乗算係数）を示したもので、同図（a）は対数利得、同図（b）はリニアな乗算係数として表わしたものである。

【0003】この入出力特性では、入力のレベルに応じて系の利得が次のように変化する。

（1）中間レベル（-24～-84dB）の信号が入力された場合

入出力利得を+12dBとして音量を増大させる。

（2）高いレベル（-24dB以上）の信号が入力された場合

圧縮率1/2の圧縮動作に入り、大振幅でのクリップを防止する。

（3）低いレベル（-84dB以下）の信号が入力された場合

伸長率1/2の伸長動作となるが、無信号時の低レベル雑音については抑圧する。

従来、このような非線形の利得特性を得るためには、複雑な演算回路が必要であった。

【0004】なお、実現しようとする利得特性がこの発明でいう「非線形」でない場合、例えば、圧縮動作のみでかつ圧縮率を実質的に一定であるとか、単純な対数圧縮であるような場合には、それほど複雑な演算をすることなく簡単なハードで実現できる。例えば、本出願人の出願に係る特開平3-218109号に記載されるコンプレッサ構成は、入力信号自身に輸入信号自身のレベルに比例した係数を掛けることにより、簡便な圧縮構成を提供している。しかしながら、これにより実現できる圧縮特性は比較的単純な特性に限定され、図16、図17のような利得特性を実現しようすると、付加回路等で複雑な演算を行なう必要が生じる。

【0005】

【発明が解決しようとする課題】このように従来のデジタル信号処理装置においては、非線形特性を得るために演算回路を用いているが、入力信号のレベル変化に対応して乗算係数が複雑な変化を示すため、アナログ演算回路、デジタル演算回路のいずれで演算回路を構成したとしても、装置構成が複雑で高度な演算回路を必要とした。また、特性の変化に対しても複雑な操作が必要であった。

【0006】この発明はこのような問題点を解決するためになされたもので、特性の自由度を損なうことなく、簡単な回路構成で広いダイナミックレンジの信号に対処可能なデジタル信号処理装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明に係る第1のデジタル信号処理装置は、デジタル入力信号のレベル値を非線形の利得特性に基づいて圧縮又は伸長してデジタル出力信号を出力するデジタル信号処理装置にお

いて、前記利得特性に従って前記デジタル入力信号のレベル値に応じた利得値を出力する利得テーブルと、この利得テーブルから出力される利得値と前記入力デジタル信号とを乗算して前記デジタル出力信号を出力する乗算手段とを備え、前記利得テーブルが対数表現又は浮動小数点表現されたデジタル信号をアドレスとして入力し前記利得値をデータとして出力するものであることを特徴とする。

【0008】また、この発明に係る第2のデジタル信号処理装置は、デジタル入力信号を対数表現又は浮動小数点表現された対数データに変換する対数変換手段と、この対数変換手段から出力される対数データに対してピーク保持及び時間的な減衰処理を施すピーク保持/時間減衰手段と、このピーク保持/時間減衰手段から出力される対数データをアドレスとして入力し非線形の利得特性に従って前記デジタル入力信号のレベルに応じた利得値を出力する利得テーブルと、この利得テーブルから出力される利得値と前記入力デジタル信号とを乗算してデジタル出力信号を出力する乗算手段とを具備したことを特徴とする。

【0009】なお、これらの信号処理装置において、前記利得テーブルは、例えば前記利得特性を外部から書き替え可能としたRAMにより構成される。

【0010】

【作用】この発明の第1のデジタル信号処理装置によれば、利得テーブルで利得特性を出力させるため、複雑な利得特性も容易に実現でき、利得テーブルが対数表現又は浮動小数点表現されたデジタル信号をアドレスとして入力するものであるため、小規模な利得テーブルで広いダイナミックレンジの信号を処理することができる。

【0011】また、この発明の第2のデジタル信号処理装置によれば、先の作用に加え、ピーク保持/時間減衰手段によって入力信号の近似的なエンベロープ計算を対数データの領域で実行することができるので、リニアな領域では指数関数的に減衰させる演算であってもカウンタ等のリニアな演算回路に置き換えることができ、回路がより簡単になる。更に、この発明によれば、ピーク保持/時間減衰手段により、入力信号の近似的なエンベロープを求めているので、デジタルフィルタ等を使用した場合のような時間的な遅延が発生せず、リアルタイムでの処理が可能になる。このため、特に音声信号や楽音信号の合成処理等が容易になる。

【0012】なお、これらのデジタル信号処理装置において、利得テーブルを外部から書き替え可能なRAMで構成すれば、回路構成を全く変更せずに所望とする利得特性を持つデジタル信号処理回路を必要に応じて適宜実現することができる。

【0013】

【実施例】以下、添付の図面を参照してこの発明の実施

例について説明する。図1はこの発明の一実施例に係るデジタル信号処理装置の構成を示すブロック図である。この装置は、整流回路1、対数変換回路2、ピークホールド/時間減衰回路3、ゲインテーブル4、乗算器5及びタイミング発生回路6から構成されている。

【0014】例えばサンプリング周波数44.1kHz、データ語長16ビット、2の補数コードからなる入力データDiは、整流回路1でその絶対値が求められる。この整流回路1は、例えば図2に示すように、16ビットの入力データDiのうちの最上位ビット(MSB)D15と他の各ビットD0~D14との排他的論理和を出力する15個のEX-ORゲート100~1014から構成され、入力データDiが正の値である場合[MSB(D15)=0の場合]には、D14~D0をそのまま出力し、入力データDiが負の値である場合[MSB(D15)=1の場合]には、D14~D0を反転させて出力し、更にMSB(D15)を0に固定することにより、16ビットの絶対値データを生成する。

【0015】整流回路1から出力される16ビットのリニアの絶対値データは、対数変換回路2に供給され、ここで8ビットの対数データに変換される。この対数変換回路2は、例えば図3に示すように、4つのセレクト21, 22, 23, 24と、3つのORゲート25, 26, 27により構成されている。各セレクト21~24は、SB=1のときYi=Bi、SB=0のときYi=Aiとなるような選択動作を行う。したがって、1段目のセレクト21は、D14~D7の8ビットのいずれかにビット1が存在したら、出力Q7=1とすると共にD14~D3を出力として選択し、D14~D7の8ビットのいずれにもビット1が存在しなかったら、出力Q7=0とすると共にD6~D0, 0, 0, 0, 0を出力として選択する。なお、このとき、MSB(D15)は、0に固定されているので、参照はしない。同様に、2段目のセレクト22は上位4ビットY11~Y8にビット1が存在するかどうかによってY11~Y4とY7~Y0のいずれか一方を選択し、3段目のセレクト23は上位2ビットY7, Y6にビット1が存在するかどうかによってY7~Y2とY5~Y0のいずれか一方を選択し、4段目のセレクト24は上位1ビットY5が1かどうかによってY5~Y1とY4~Y0のいずれか一方を選択する。

【0016】これにより、図4に示すように、16ビットのリニアデータが8ビットの対数データに変換される。出力データQ7~Q0のうち、上位4ビットQ7~Q4は、入力データの上位2ビット目から数えてX番目に1が現われたときのX-1の値の反転値となっており、下位4ビットQ3~Q0は、入力データの上位ビット側から見て最初に1が現われたビットに続く4ビットのデータを示している。このことは、見方を変えると、16ビットの固定小数点形式のリニアコードを8ビット浮動小数点形式のコードに変換しているのとはほぼ同一で

あり、出力の上位4ビットを指数部、下位4ビットを仮数部と考えることもできる。しかし、リニアコードから浮動小数点形式へのコード変換と対数コードへの変換は僅かな誤差を無視すればほぼ同一であり、もし、入力から初めから浮動小数点形式でコード化されていれば、対数変換回路2は、符号を無視し仮数部の上位ビットを使うだけで足りる。その意味で、この発明では、対数変換回路を浮動小数点回路に置き換えても、その基本的な動作は変わらない。

【0017】なお、図4の入力データにおいて*印は無視されるビットであり、かつこの中は[7FFF(16進)]を0dBとしたときの相対対数レベルの理論値を示している。また、出力コードのかつこの中は[FF(16進)]を0dBとし、1LSBを-0.376dBとみなしたときの計算値である。この図から明らかなように、入力に対して出力は0.5dB以下の誤差で対数変換されており、実用上十分な結果となっている。

【0018】次に、8ビットの対数コードは、ピークホールド/時間減衰回路3に入力される。ピークホールド/時間減衰回路3は、入力される瞬時対数データに対して、ピーク保持と時間的減衰処理を施すことにより、概略的な対数エンベロープを求める回路である。まず、この回路の基本的な動作を図5の波形図に基づき説明する。図5(a)に示す入力信号が整流回路1で(b)のように整流され、更に対数変換されたのち、ピークホールド/時間減衰回路3で(c)に示すピークホールド/時間減衰された近似的な対数エンベロープが求められる。図5における「追従区間」は入力されるサンプル値のレベルの増大に伴って対数レベルコードが増加する区間である。「ホールド区間」は信号のサンプル値は減少又は低い値をとるが、出力は以前の値を保持し続ける区間である。この時間は、外部から与えられるパラメータ(ホールドタイムT1)によって決められる。「ホールド区間」においては、入力が新たに保持レベルを超えない限りデータが更新されないで、正弦波の谷の部分等がマスクされる。また、入力が新たに保持レベルを超えると、出力データが更新され、そこから再度「ホールド区間」が始まる。したがって、上述の「追従区間」は、出力データの更新が1サンプル毎に行われている区間であるともいえる。

【0019】「ホールド区間」が終了すると、「自動減衰区間」に入る。ここでは、この区間を「自動減衰区間1」と「自動減衰区間2」の2つの区間に分けている。両者は対数レベルコードが外部から与えられるパラメータ(減衰切換レベルL1)より大か小かで分けられ、それぞれの区間で異なる減衰率R1、R2を持つ。これらの減衰率R1、R2も外部から与えられるパラメータである。このように、瞬時対数コードの正確なエンベロープではなく、減衰時定数等が調整された信号を使用することにより、コンプレッサ/リミッタにおける、いわ

る息継ぎ現象(信号の変動に応じて小刻みに雑音や背景音のレベルが変動し、息継ぎをするように感じられる不快な現象)を効果的に抑制することができる。適切な

「ホールド区間」を持つことは、「息継ぎ現象」の防止に有効であり、信号レベルに応じて減衰率を切換えるのは、高い信号レベルでの圧縮動作と低い信号レベルでの伸長動作とで聴感上適切な減衰率が異なるためである。

【0020】図6は、このピークホールド/時間減衰回路3の具体的な構成例、図7は、タイミング図である。

瞬時対数データは、ダウンカウンタ31に入力されると共に、コンパレータ32に入力される。ダウンカウンタ31は、新規入力された入力データが現在の出力データを超えたことを示すコンパレータ32の出力に基づいて、ANDゲート33を通過するクロックCK1に同期して入力データをロードする。入力データが出力データよりも小さいときは、コンパレータ32の出力が0となるので、ダウンカウンタ31にはピーク値がホールドされたままとなり、入力データは何の影響も与えない。

【0021】一方、ダウンカウンタ31に新しい入力データがロードされるのと同時にダウンカウンタ34にも予め設定されたホールド時間T1がロードされる。ダウンカウンタ34は、クロックCK2をダウンカウントし、ホールド時間T1だけカウントしたらZ出力を1にする。これにより、ANDゲート35を介してクロックCK1がダウンカウンタ31のクロックとして入力される1つの条件が成立する。Z出力は、ダウンカウンタ31が新規入力で更新されてからホールドタイムT1だけカウントダウンを禁止するための信号である。

【0022】クロックCK1がダウンカウンタ31に入力されるもうひとつの条件は、分周器38の出力である。即ち、ダウンカウンタ31の出力は、コンパレータ36において、減速切換レベルL1と比較される。その比較出力は、セクタ37の切換入力信号SBとなる。セクタ37は、選択入力信号が0(出力>L1)のときに減衰率R1を選択出力し、選択入力信号が1(出力<L1)のときに減衰率R2を選択出力する。セクタ37の出力は、プログラマブル分周器38の分周数Nとして供給される。分周器38は、クロックCK1をN分周し、Nクロックが入力される度に出力Cを1にする。したがって、ANDゲート35からは、減衰率R1又はR2で決定される周期のダウンパルスがダウンカウンタ31に与えられ、ダウンカウンタ31のダウンカウント速度が2段階に変化するようにになっている。

【0023】ピークホールド/時間減衰回路3の出力は、8ビットのレベルコードであり、この出力がゲインテーブル4のアドレスとして供給される。ゲインテーブル4は、例えば256ワードのテーブルで、図8～図10に示すようなテーブル値が記憶されている。この例は図16及び図17に示した特性を得るための利得テーブルで、乗算係数を16ビットの整数値で与え、16進数

で20000(10進数で16384)を1.000と
している。図8～図10において、各アドレスに対応す
るデータとして、16進コード、実数値及びdB表現さ
れた値をそれぞれ示している。

【0024】このゲインテーブル4は、例えば図11に
示すように、RAM41で構成し、図示しないマイクロ
コンピュータ等からセクタ42及びバッファ43を介
してアドレス及びデータを夫々供給することによって事
前に所望する利得特性を書き込んでおき、動作時はセ
クタ42を介してピークホールド/時間減衰回路3の出
力をアドレスとしてRAM41に供給し、ゲイン値をレ
ジスタ44を介して読み出すようにしてもよい。この場
合、テーブルの内容を種々変えることにより、系の利得
特性を任意に設定することができる。

【0025】また、図12に示すように、ROM51に
予め複数の利得特性を書き込んでおき、図示しないマイ
クロコンピュータ等から上位2ビットのアドレス信号を
特性選択パラメータとして与えることにより、任意の利
得特性を選択するようにしてもよい。

【0026】ゲインテーブル4からの利得値の出力は、
図5(d)に示すように、ピークホールド/時間減衰回
路3の出力とほぼ一致したタイミングとなる。このゲ
インテーブル4からの例えば16ビットの出力が乗算器5
で16ビットの入力データDiと乗算されることによ
り、図5(e)に示すように、所望する利得特性で入力
信号のレベル値が圧縮/伸長された出力データDoを得
ることができる。

【0027】なお、上記実施例では、入出力信号系統が
1チャンネルの場合について説明したが、図13に示すよ
うに、入出力信号系統が複数チャンネルの場合には、信号
振幅の最も大きいチャンネルの信号を基準として上述した
圧縮伸長処理を行えばよい。信号振幅の最大値の算出
は、リニア領域で行ってもよいが、語長が長いので、規
模が大きくなる。したがって、この実施例では、対数変
換後のデータで最大値検出を行うことにより、語長を短
くするようにしている。実際には、前述したピークホ
ールド/時間減衰回路3の中に最大値検出と同等の回路が
含まれているので、入力段へのセクタ7の挿入と、タ
イミング発生回路8の若干の回路の修正によって複数チ
ャネルに対応することが可能である。

【0028】図14にこの回路の動作タイミング図を示
す。クロックパルスCK2は、単チャンネルの場合と同
様、1サンプリング周期に1回発生するが、クロックパ
ルスCK1は、セクタ7の切換えと同期してチャンネル
の数だけ連続して発生するようにする。これにより、図
6のコンパレータ32による比較動作が入力チャンネルの
数だけ連続して実行され、最終的に直前のサンプル周期
でのダウンカウンタ31の値及び全入力チャンネルの対数
レベルのうちの最大値がダウンカウンタ31に残る。そ
の他の動作は単チャンネルの場合と殆ど同様である。な

お、最終段の乗算は1つの乗算器を併用するために、時
分割で実行するようにしてもよい。

【0029】これらの実施例によれば、近似的なエンベ
ロープ計算を対数コードの領域で実行しているので、リ
ニア領域での指数関数的減衰に相当する演算を単純なダ
ウンカウンタで実現することができる。また、対数レベ
ルのデータの語長は元のリニア領域での語長に比べて短
縮されているために、広いダイナミックレンジの信号に
対しても、リニア領域での信号でテーブルを参照する場
合に比べてはるかに小規模な利得テーブルで広範囲な特
性指定が可能である。

【0030】次に、音響信号効果装置(イフェクタ)と
しての動作について説明する。イフェクタとして非線形
効果を出すためには、時間減衰の保持時間と減衰時間を
最小(0)にすることによって、あるいは時間原数回路
自体を省略することによって、毎サンプル単位で、瞬時
データの振幅に応じた利得を与えることができる。この
場合にも、リアルタイム処理が実現される。図15にこ
のデジタル信号処理装置を楽器演奏時のイフェクタと
して使用する場合の特性例を示す。この装置によれば、
このようなイフェクタも、ゲインテーブル4の書き替え
と、ピークホールド/時間減衰回路3へのパラメータ変
更のみによって実現できる。

【0031】

【発明の効果】以上述べたように、この発明によれば、
利得テーブルで利得特性を出力させるようにしたので、
複雑な利得特性も極めて容易に実現でき、また、利得テ
ーブルとして対数表現又は浮動小数点表現されたディジ
タル信号をアドレスとして入力するテーブルを使用しよ
うとしているので、小規模な利得テーブルで広いダイナ
ミックレンジの信号を処理することができるという効果
を奏する。

【図面の簡単な説明】

【図1】 この発明の実施例に係るデジタル信号処理
装置のブロック図である。

【図2】 同装置における整流回路のブロック図であ
る。

【図3】 同装置における対数変換回路のブロック図で
ある。

【図4】 同対数変換回路の入出力データを示す図であ
る。

【図5】 同装置の各部の信号を示す波形図である。

【図6】 同装置におけるピークホールド/時間減衰回
路のブロック図である。

【図7】 同回路の動作を示すタイミングチャートであ
る。

【図8】 同装置におけるゲインテーブルのテーブル値
を示す図である。

【図9】 同テーブル値を示す図である。

【図10】 同テーブル値を示す図である。

9

10

【図11】 同ゲインテーブルの構成例を示すブロック図である。

【図12】 同ゲインテーブルの他の構成例を示すブロック図である。

【図13】 この発明の他の実施例に係るデジタル信号処理回路の構成を示すブロック図である。

【図14】 同装置におけるピークホールド／時間減衰回路の動作を示すタイミングチャートである。

【図15】 この発明の更に他の実施例に係るデジタル信号処理回路の入出力特性図である。

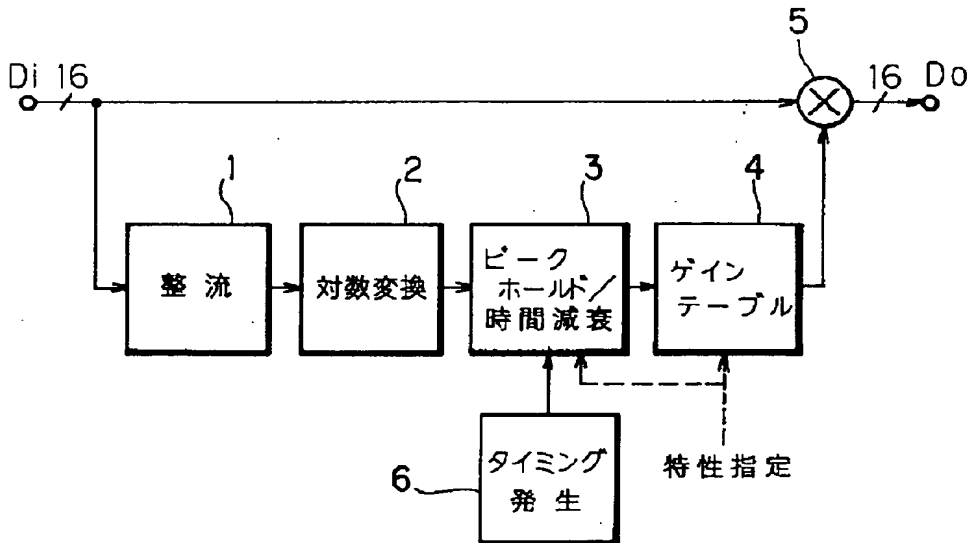
【図16】 非線形な利得特性を持つ場合の入出力特性の一例を示す特性図である。

【図17】 同入出力特性を得るための利得特性を示す特性図である。

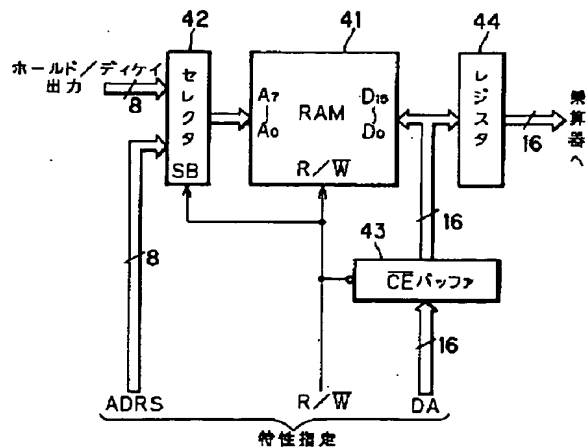
【符号の説明】

1…整流回路、2…対数変換回路、3…ピークホールド／時間減衰回路、4…ゲインテーブル、5、51～5N…乗算器、6、8…タイミング発生回路、7、21～24、37、42…セクタ、100～1014…EX-ORゲート、25～27…ORゲート、31、34…ダウンカウンタ、32、36…コンパレータ、33、35…ANDゲート、38…プログラマブル分周器、41…RAM、43…バッファ、44…レジスタ、51…ROM。

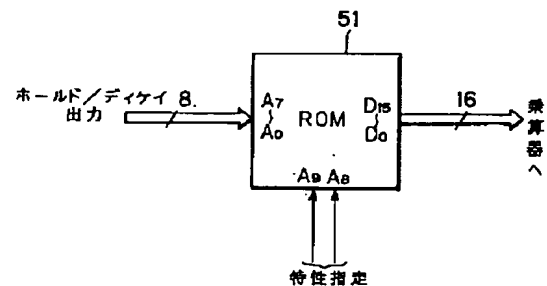
【図1】



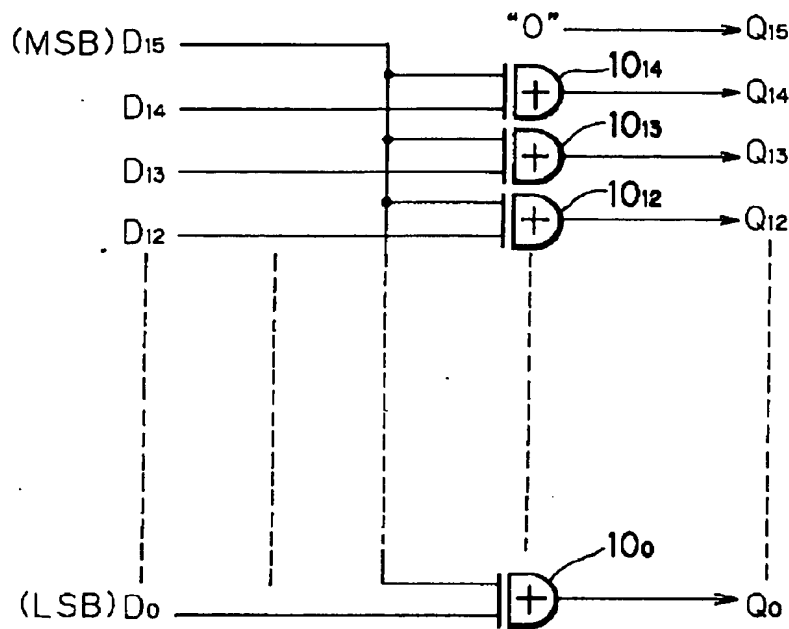
【図11】



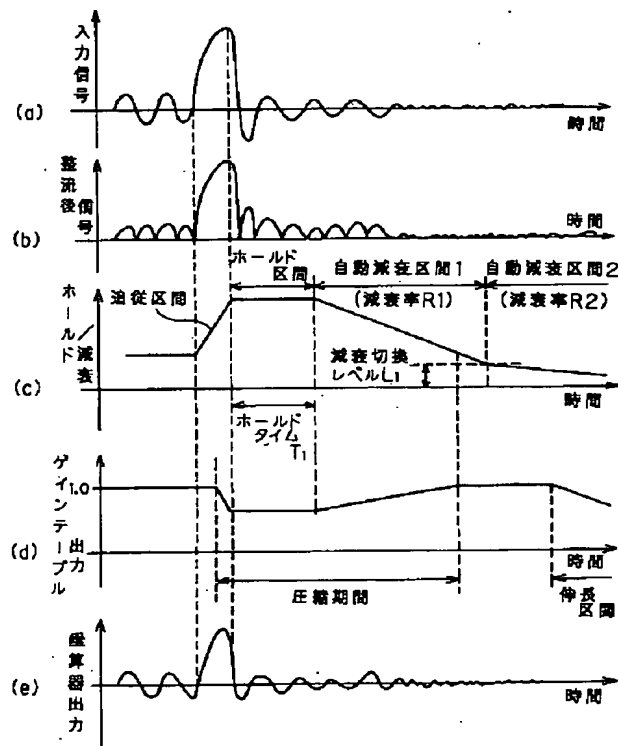
【図12】



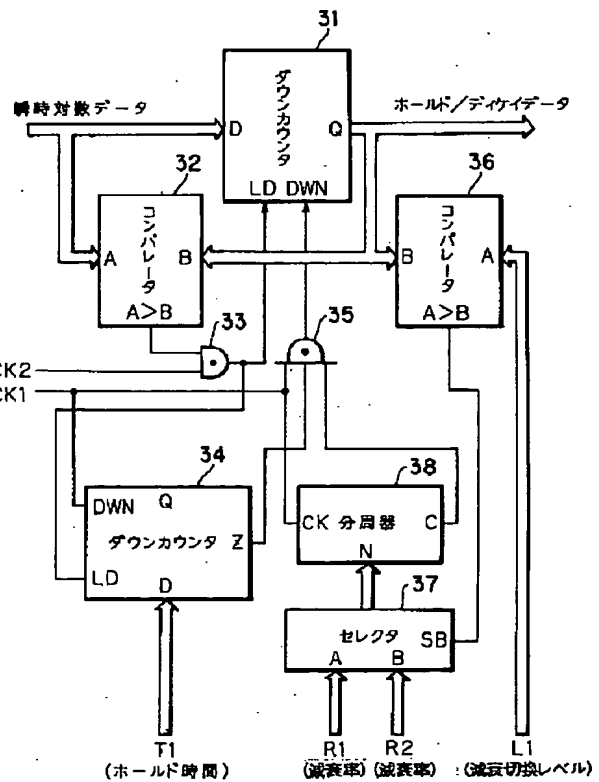
【図2】



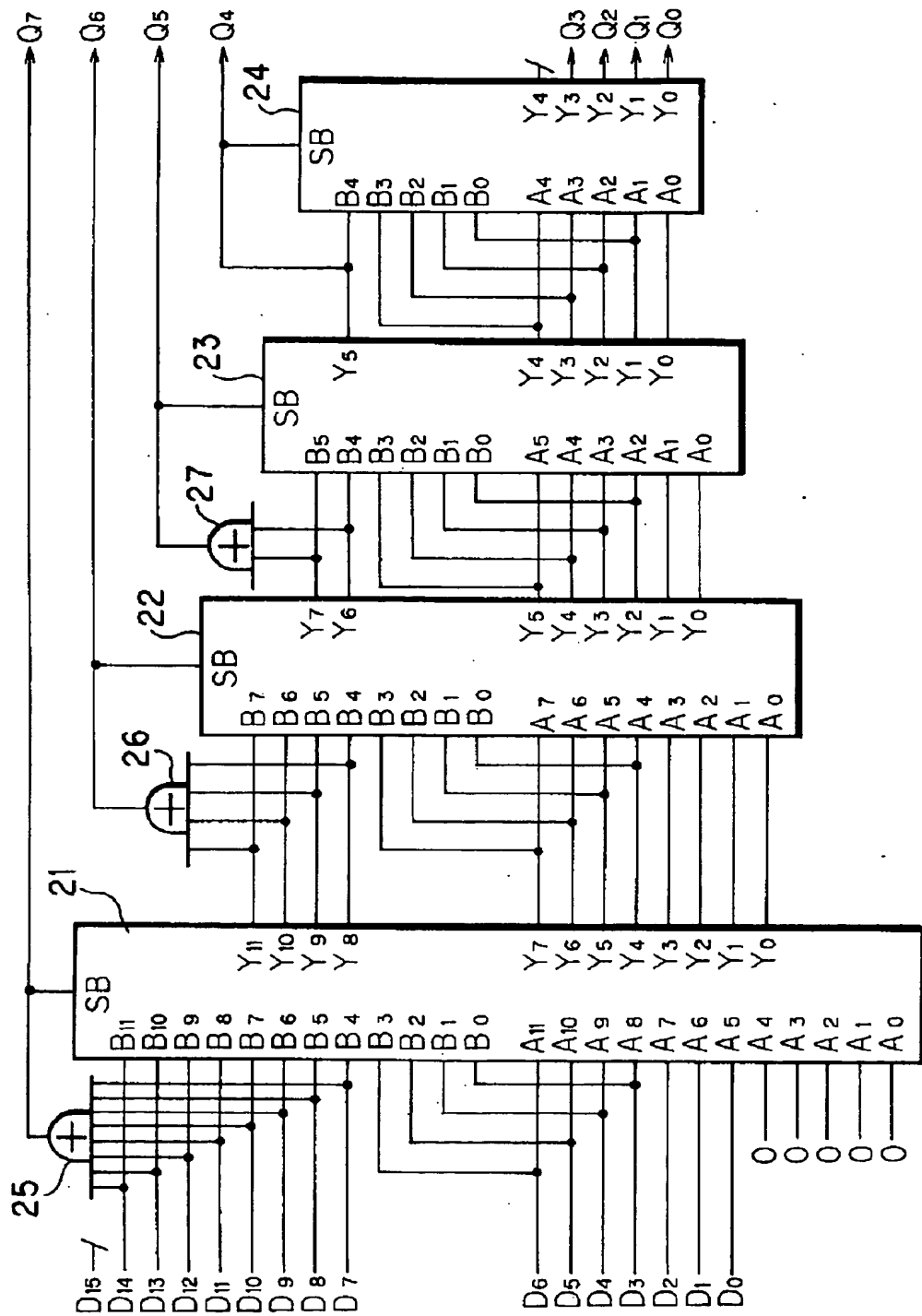
【図5】



【図6】



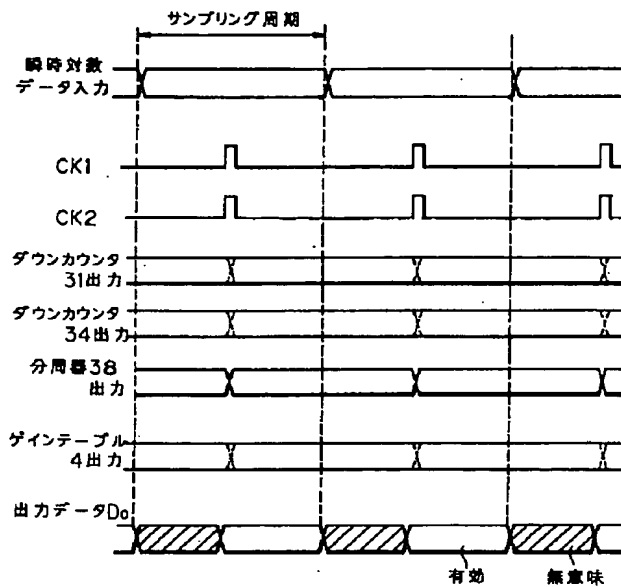
【図3】



【図4】

入力データ	(dB)	出力コード	(dB)
0111111111111111	(0.0)	11111111	(-0.0)
0111101111111111	(-0.3)	11111110	(-0.4)
0111011111111111	(-0.6)	11111101	(-0.8)
0111001111111111	(-0.9)	11111100	(-1.1)
0110111111111111	(-1.2)	11111011	(-1.5)
0110101111111111	(-1.5)	11111010	(-1.9)
0110011111111111	(-1.9)	11111001	(-2.3)
0110001111111111	(-2.2)	11111000	(-2.6)
0101111111111111	(-2.6)	11111011	(-3.0)
0101101111111111	(-3.0)	11111010	(-3.4)
0101011111111111	(-3.4)	11111010	(-3.8)
0101001111111111	(-3.8)	11111010	(-4.1)
0100111111111111	(-4.3)	11110011	(-4.5)
0100101111111111	(-4.7)	11110010	(-4.9)
0100011111111111	(-5.2)	11110001	(-5.3)
0100001111111111	(-5.7)	11110000	(-5.6)
0011111111111111	(-6.0)	11101111	(-6.0)
0011111011111111	(-6.3)	11101110	(-6.4)
0011110111111111	(-6.6)	11101101	(-6.8)
0000000000000011	(-73.1)	00111100	(-73.4)
0000000000000110	(-74.5)	00111000	(-74.9)
0000000000000101	(-76.1)	00110100	(-76.4)
0000000000000100	(-78.0)	00110000	(-77.9)
0000000000000011	(-80.5)	00101000	(-80.9)
0000000000000010	(-84.0)	00100000	(-83.9)
0000000000000001	(-90.0)	00010000	(-89.9)
0000000000000000	(-)	00000000	(-95.9)

【図7】



【図8】

アドレス(16進数)	テーブル値(16進数)	実数表現	dB表現
f f	2000	1.000	0.0 dB
f e	20b3	1.022	0.2 dB
f d	216a	1.044	0.4 dB
f c	2226	1.067	0.6 dB
f b	22e5	1.091	0.8 dB
f a	23a9	1.114	0.9 dB
f 9	2470	1.139	1.1 dB
f 8	253d	1.164	1.3 dB
f 7	260d	1.189	1.5 dB
f 6	26e3	1.215	1.7 dB
f 5	27bd	1.242	1.9 dB
f 4	289c	1.269	2.1 dB
f 3	297f	1.297	2.3 dB
f 2	2a68	1.325	2.4 dB
f 1	2b56	1.354	2.6 dB
f 0	2c48	1.384	2.8 dB
e f	2d41	1.414	3.0 dB
e e	2e3e	1.445	3.2 dB
e d	2f42	1.477	3.4 dB
e c	304b	1.509	3.6 dB
e b	3159	1.542	3.8 dB
e a	326e	1.576	4.0 dB
e 9	3389	1.610	4.1 dB
e 8	34aa	1.646	4.3 dB
e 7	35d1	1.682	4.5 dB
e 6	36fe	1.719	4.7 dB
e 5	3833	1.756	4.9 dB
e 4	396e	1.795	5.1 dB
e 3	3ab0	1.834	5.3 dB
e 2	3bf9	1.874	5.5 dB
e 1	3d49	1.915	5.6 dB
e 0	3eaa	1.957	5.8 dB

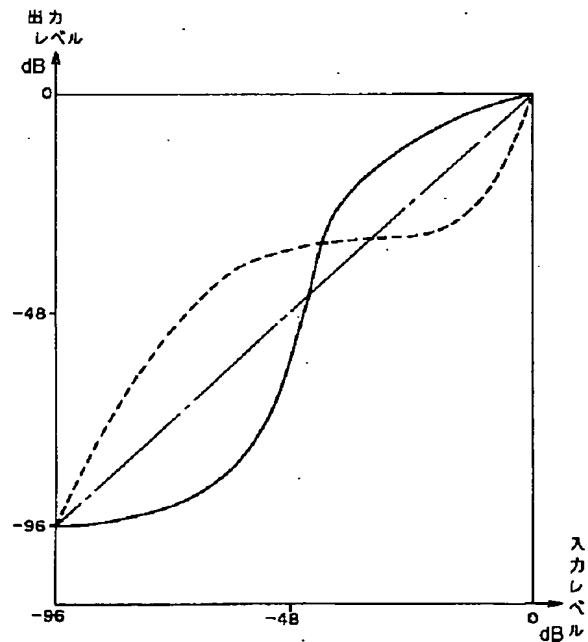
【図9】

アドレス (16進数)	テーブル値 (16進数)	実数表現	dB表現
df	3fff	2.000	6.0 dB
de	4166	2.044	6.2 dB
dd	42d5	2.089	6.4 dB
dc	444c	2.134	6.6 dB
db	45ca	2.181	6.8 dB
da	4752	2.229	7.0 dB
d9	48e1	2.278	7.1 dB
d8	4a7a	2.327	7.3 dB
d7	4c1b	2.378	7.5 dB
d6	4dc6	2.430	7.7 dB
d5	4f7a	2.484	7.9 dB
d4	5138	2.538	8.1 dB
d3	52ff	2.594	8.3 dB
d2	54d0	2.650	8.5 dB
d1	56dc	2.709	8.7 dB
d0	5891	2.768	8.8 dB
cf	5a82	2.828	9.0 dB
ce	5c7d	2.890	9.2 dB
cd	5e84	2.954	9.4 dB
cc	6096	3.018	9.6 dB
cb	62b3	3.084	9.8 dB
ca	64dc	3.152	10.0 dB
c9	6712	3.221	10.2 dB
c8	6954	3.292	10.3 dB
c7	6ba2	3.364	10.5 dB
c6	6d1d	3.437	10.7 dB
c5	7066	3.513	10.9 dB
c4	72dc	3.589	11.1 dB
c3	7560	3.668	11.3 dB
c2	77f2	3.748	11.5 dB
c1	7a92	3.830	11.7 dB
c0	7d41	3.914	11.9 dB
bf	7fff	4.000	12.0 dB
be	7fff	4.000	12.0 dB
bd	7fff	4.000	12.0 dB
bc	7fff	4.000	12.0 dB

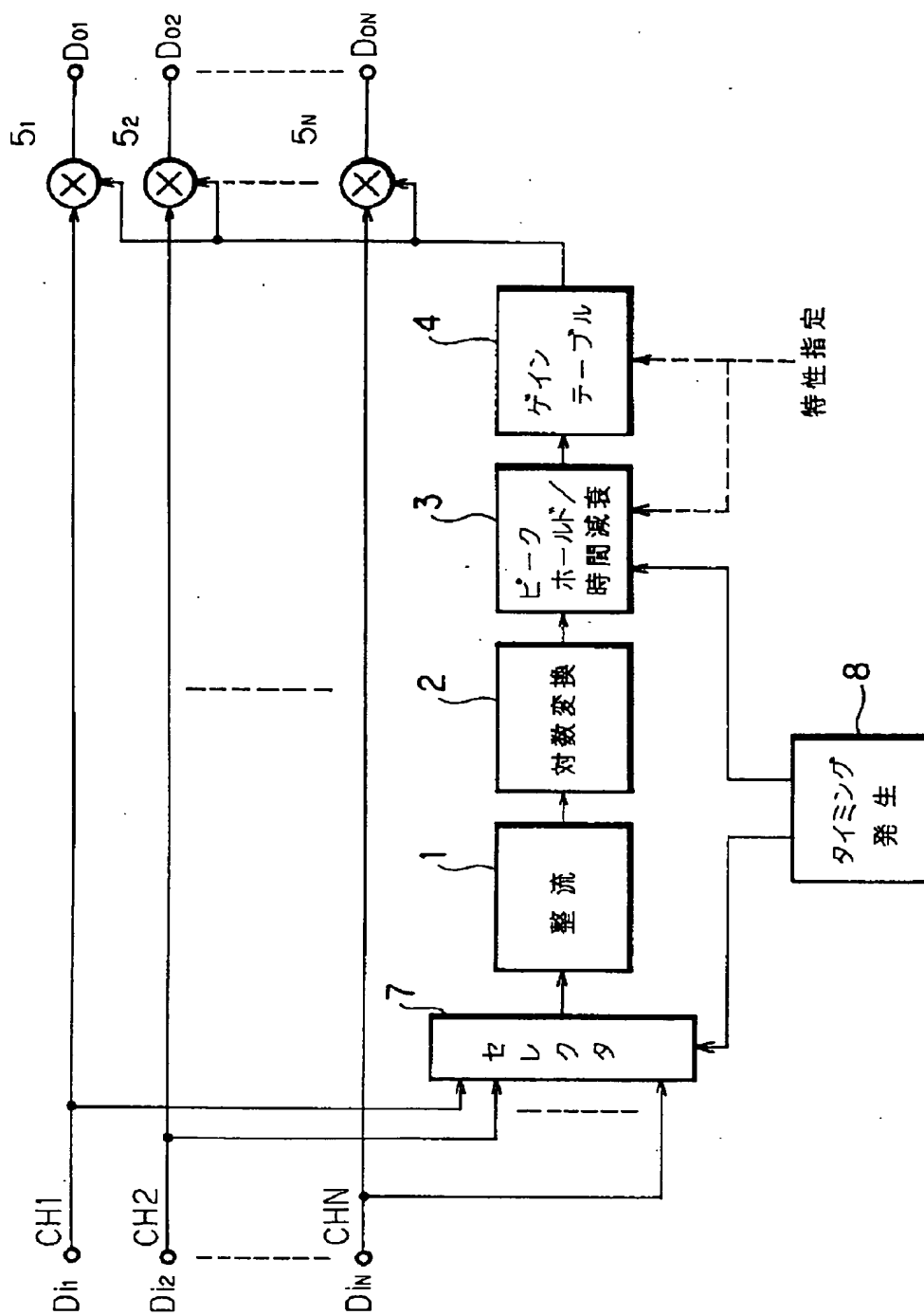
【図10】

アドレス (16進数)	テーブル値 (16進数)	実数表現	dB表現
22	7fff	4.000	12.0 dB
21	7fff	4.000	12.0 dB
20	7fff	4.000	12.0 dB
1f	7fff	4.000	12.0 dB
1e	7560	3.668	11.3 dB
1d	6ba2	3.364	10.5 dB
1c	62b3	3.084	9.8 dB
1b	5a82	2.828	9.0 dB
1a	52ff	2.594	8.3 dB
19	4c1b	2.378	7.5 dB
18	45ca	2.181	6.8 dB
17	3fff	2.000	6.0 dB
16	3ab0	1.834	5.3 dB
15	35d1	1.682	4.5 dB
14	3159	1.542	3.8 dB
13	2d41	1.414	3.0 dB
12	297f	1.297	2.3 dB
11	260d	1.189	1.5 dB
10	22e5	1.091	0.8 dB
0f	2000	1.000	0.0 dB
0e	1d58	0.917	-0.8 dB
0d	1ae8	0.841	-1.5 dB
0c	18ac	0.771	-2.3 dB
0b	16a0	0.707	-3.0 dB
0a	14bf	0.648	-3.8 dB
09	1306	0.595	-4.5 dB
08	1172	0.545	-5.3 dB
07	1000	0.500	-6.0 dB
06	0eac	0.459	-6.8 dB
05	0d74	0.420	-7.5 dB
04	0c56	0.386	-8.3 dB
03	0b50	0.354	-9.0 dB
02	0a5f	0.324	-9.8 dB

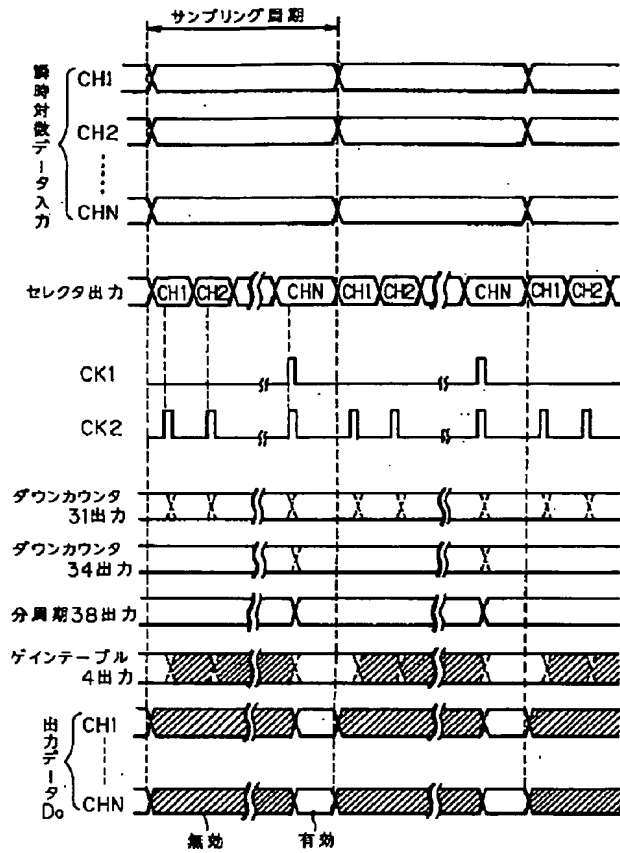
【図15】



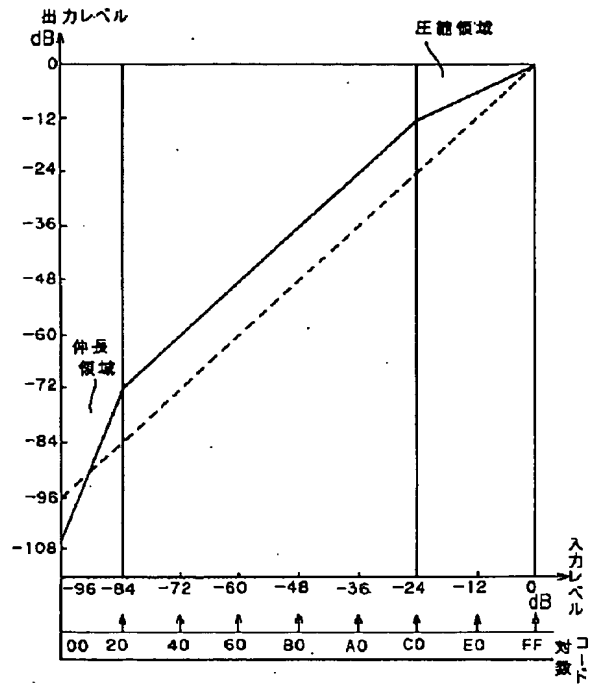
【図13】



【図14】



【図16】



【図17】

